

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7805

(P2001-7805A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)IntCl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 4 L 12/02		H 0 4 L 11/02	Z 5 K 0 3 0
7/02		H 0 4 M 3/00	A 5 K 0 4 7
H 0 4 M 3/00		H 0 4 L 7/02	Z 5 K 0 5 1

審査請求 未請求 請求項の数6 O L (全 15 頁)

(21)出願番号 特願平11-172227
(22)出願日 平成11年6月18日(1999.6.18)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 山田 勉
神奈川県横浜市港北区新横浜2丁目3番9
号 富士通デジタル・テクノロジー株式会
社内
(74)代理人 100094662
弁理士 穂坂 和雄 (外2名)

最終頁に続く

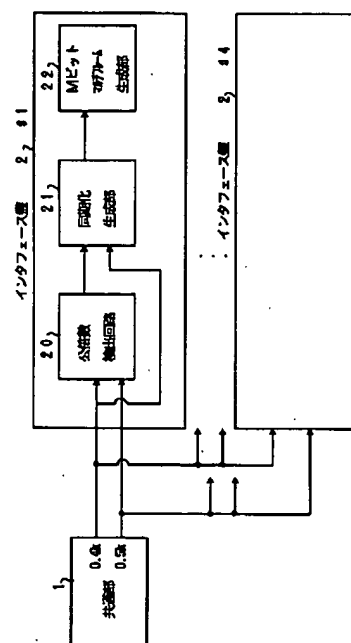
(54)【発明の名称】 通信システム内線延長方式

(57)【要約】

【課題】本発明は交換機に收容すべきI. 430に対応した端末を遠隔位置に延長するための通信装置を交換機側と端末側に設け、前記通信装置間を伝送路で接続した通信システムの内線延長方式に関し、内線延長の端末に接続する通信装置において、同一位相のマルチフレーム情報を生成するためのクロックソースを持っていなくとも複数の端末に対して同一位相のマルチフレームを生成可能にすることを目的とする。

【解決手段】端末側の通信装置に複数の各端末と接続するための複数のインタフェース盤を設ける。各インタフェース盤は通信装置に設けられた共通の複数の異なる周波数のクロック発生源からの各クロック信号を入力されると、複数のクロック信号の公倍数のクロック信号を抽出する手段と、各インタフェース盤で抽出されたクロック信号を元に各インタフェース盤に同一位相のMビットフレームを発生するよう構成する。

本発明の第1の原理構成



【特許請求の範囲】

【請求項1】 交換機に収容すべきI. 430に対応した端末を遠隔位置に延長するための通信装置を交換機側と端末側に設け、前記通信装置間を伝送路で接続した通信システムの内線延長方式において、端末側の通信装置に複数の各端末と接続するための複数のインタフェース盤を設け、各インタフェース盤は前記通信装置に設けられた共通の複数の異なる周波数のクロック発生源からの各クロック信号を入力されると、前記複数のクロック信号の公倍数のクロック信号を抽出する手段と、各インタフェース盤で前記抽出されたクロック信号を元に各インタフェース盤に同一位相のMビットフレームを発生する手段とを備えることを特徴とする通信システム内線延長方式。

【請求項2】 請求項1において、前記各インタフェース盤は、複数の異なる周波数の入力クロックのエッジの一致を検出することにより公倍数の周期を検出し、入力よりも長周期の同一位相のクロックを生成することを特徴とする通信システム内線延長方式。

【請求項3】 交換機に収容すべきI. 430に対応した端末を遠隔位置に延長するための通信装置を交換機側と端末側に設け、前記通信装置間を伝送路で接続した通信システムの内線延長方式において、交換機側の通信装置に交換機からのI. 430に対応した2B+Dの信号からMビットマルチフレームを検出する手段と、前記2B+Dの信号を伝送路フォーマットに変換して前記Mビットマルチフレームを挿入する手段を備え、前記交換機側の通信装置からの信号を受信する端末側の通信装置は、受信信号からMビットマルチフレームを生成する手段と、受信信号をI. 430の端末フォーマットへ変換する手段と、端末フォーマットへ変換された信号に生成したMビットマルチフレームを付加して端末へ送信する手段とを備えることを特徴とする通信システム内線延長方式。

【請求項4】 交換機に収容すべきI. 430に対応した端末を遠隔位置に延長するための通信装置を交換機側と端末側に設け、前記通信装置間を伝送路で接続した通信システムの内線延長方式において、前記端末側の通信装置は、Mビットマルチフレームの周期に対応する周波数の基準クロックの発生部と、複数の端末に対応する複数のインタフェース盤を備え、前記各インタフェース盤は通信装置用のクロックと前記基準クロック発生部の出力を入力して同じ位相のMビットマルチフレームと同じ周期のクロックを発生する手段を備えることを特徴とする通信システム内線延長方式。

【請求項5】 請求項4において、前記端末側の通信装置の複数の各インタフェース盤は、前記基準クロック発生部の出力のエッジを前記基準クロックの周波数より高い周波数のクロックにより検出する手段と、前記通信装置用のクロックを分周すると共に前記検出手段の出力に

よりリセットされる手段とを備えることを特徴とする通信システム内線延長方式。

【請求項6】 交換機に収容すべきI. 430に対応した端末を遠隔位置に延長するための交換機側のマスタとなる通信装置に対して端末側の複数のスレーブとなる通信装置を設けて前記マスタとなる通信装置とスレーブとなる各通信装置間を個別の伝送路で接続した通信システムの内線延長方式において、前記マスタとなる通信装置は自装置の基準クロックの位相情報送信手段を備え、前記複数のスレーブとなる通信装置は前記マスタとなる通信装置から伝送路を介して前記位相情報を受信する手段と、前記受信した位相情報により自装置のクロック発生手段の位相を調整することを特徴とする通信システム内線延長方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はISDN網を収容する通信装置に関する。

【0002】ISDN網に関するITU-T (International Telecommunications Union Telecommunication Standardization Sector) のI. 430 (a) 及び日本国内における同様の方式(JT-1430)による通信装置を交換機に接続し、伝送線を介して他の通信装置を介して遠距離の端末を収容して内線を延長する方式が用いられている。

【0003】このようにして、一つの交換機で広いエリアに配置された端末をカバーすることを可能にしている。

【0004】

【従来の技術】図18は内線延長の説明図であり、交換機と端末間を通信装置を用いて内線延長を行う例を示している。図中、80は交換機、81は通信装置、81aは通信装置81に搭載されたI. 430に対応したインタフェース盤、82は伝送路、83は通信装置、83aはインタフェース盤、84はI. 430 (ISDNの網・ユーザインタフェース) による端末である。

【0005】通常のシステムでは、交換機80に端末84が直接接続されて使用されるが、回線数の需要の少ない場所では、各地域(交換機から直接端末を接続できる距離の範囲内)に交換機を配置することができない(コストがかかる)。このため、複数の地域に1台の交換機を配置し、各地域には通信装置を用いて内線を延長する方式を用いる場合がある。図18の、インタフェース盤81aでは、疑似的に端末の動作を行い、交換機80からみるとあたかも端末が接続されているように見える。この時、インタフェース盤81aは交換機80からのデータを通信装置83へ送出し、通信装置83からのデータを交換機80へインタフェースを行う。インタフェース盤83aでは疑似的に交換機80の端末インタフェース動作を行い、端末84から見るとあたかも交換機80

に接続されているように見える。このような動作を行うことにより、通信装置81、83が伝送路により距離を隔てていても、交換機80と端末84間で通信が可能となる。

【0006】図19は端末インタフェースのフォーマットの規格の一部であり、図20はMビットに関するI.430の規格の一部である。

【0007】図19には1フレームが48ビット(250 μ s)で、2B(B1ビットが8個、B2ビットが8個)+D(2ビット)が2組含まれ、通常の125 μ sのフレーム構成では2フレーム分に相当する。各符号は図19の下側に示す通りであるが、網終端装置(NTで表す)から端末(TEで表す)への伝送に使用するFAビットと、端末(TE)から網終端装置(NT)への伝送に使用するFAビット(Qビットという)及びマルチフレームビット(Mビット)の構成を図20に示す。図20に示すように、NTからTEへの伝送時に、FAビット位置には5フレームに1つだけ“1”が設定され、TEからNTへの伝送では5フレーム毎のFAビット位置にQビットを、Q1~Q4として設定し、20フレーム(1フレームが250 μ s)で1サイクルとする。なお、端末(TE)がQビットを使用しない場合は、Qビットは2進“1”に設定する。次にMビットは、NTからTEへ送られ、20フレーム毎の先頭の1フレームのMビット位置にだけ“1”が設定され、残りのフレームのMビット位置には“0”が設定される。なお、また、マルチフレーム識別アルゴリズムが、固有のMビットに2進“1”を提供しない場合で、Qビット位置が確認できる場合は、Qビットの1から4は区別できない。

【0008】従って、図19の右側に縦に描かれた波形図で示すように、Mビットは0.2KHzのサイクルで発生し、FAビットはMビットの1/4の周期で発生する。以下の説明では、この0.2KHz周期の信号を「Mビットマルチフレーム(信号)」と呼ぶこととする。

【0009】上記図18の端末84が上記図20の周期のMビットマルチフレーム信号を必要とする場合、同様のインタフェース盤83aは図19、図2に示すMビットマルチフレーム信号を図18に示す端末84に送出する必要が有ることになる。

【0010】図21はMビットマルチフレーム信号を使用するシステムの例である。図中、85は通信装置(NT)、86はI.340のインタフェースに対応する伝送路、87は無線基地局、88はPHS等の無線端末である。この例のように無線システムへの適用時、端末がPHS等の無線基地局87の場合は、0.2KHzの周期のMビットマルチフレームが基地局と無線端末間のデジタル無線のフレームの基準として利用される。

【0011】図22は交換機に直接端末が接続された構

成例であり、図中、80は交換機、84-1~84-3は同じ構成の端末である。ここで、84-1~84-3は、上記図20に示すMビットマルチフレーム信号を必要とする端末であり、且つ各端末は同一位相のMビットマルチフレーム信号を要求する端末である。また、交換機80も同一のクロックソースから同一位相のMビットマルチフレーム信号を供給している。

【0012】図23は複数の端末を通信装置に収容する例である。図中、82は上記図18の構成に示された伝送路であり、83は図18の構成に示す内線延長を行う通信装置であり、83a1~83a3は図18の83aで示すインタフェース盤を表す。ここでも、84-1~84-3は同一の端末であり、各端末は図22に示すMビットマルチフレーム信号を要求する端末である。

【0013】もし、Mビットマルチフレームを送出しないとすると、上記図21に示す無線システムの場合は、無線基地局87と無線端末88間のデジタル無線フレームが生成できない場合があり、通信が不能となる。但し、このように無線フレーム生成に利用するため、この例の無線システムの場合は、交換機送出のMビットマルチフレームとそのフレームで送受される実データの位相関係と内線延長先でのMビットマルチフレームとそのフレームで送受される実データの位相関係は無視してもかまわない。すなわち、図23のインタフェース盤83a1~83a3は、Mビットマルチフレーム信号を送出しなければならない。但し、このMビットマルチフレームは内線延長の通信装置が生成した基準クロックをソースとしても良い。

【0014】また、複数の無線基地局が稼働する同一無線エリアでは各無線基地局からは無線端末へ同一位相のデジタル無線フレームを送出する必要がある。もし、同一位相でないと無線システムにおいて基地局と無線端末の通信を確立するための空きチャネルの検索等がうまくいかず、携帯端末が「つながりにくい」とか「切れやすい」システムとなる。この空きチャネルの検索は、同一エリア内のフレームの空きチャネルを見つけるには、各インタフェースによるフレームの位相が揃っていないと空きチャネルを見つけても、どのチャネルであるのか直ちに認識できない。これを防止するためには、図23のインタフェース盤83a1~83a3は同一位相の0.2KHz周期の信号が必要となる。

【0015】しかし、内線延長を従来の8KHzを基準とする同期網の通信装置において行おうとした場合、従来の通信装置に0.2KHz周期の信号を各インタフェース盤に供給するものは少ない。なお、従来のフレーム同期を使用する通信装置では8KHzの20マルチの0.4KHzまでサポートするものや、装置内8KHz位相を統一するため2進数で処理のしやすい8KHzの16周期分の0.5KHzをサポートするものはあった。

【0016】図24は複数の内線延長の通信装置によりシステムを構成した例である。同一無線エリアが1組の内線延長による通信装置でカバーできる場合は、上記図23の中のインタフェース盤83a1～83a3は通信装置83内で同一位相の0.2KHz周期の信号があれば良い。しかし、同一の無線エリアすなわち携帯端末のサービスエリアが広く複数の内線延長の通信装置を必要とする場合は図中の83a1～83a3のインタフェース盤及び83a1'～83a3'のインタフェース盤のMビットマルチフレーム信号を同一位相で送出しなければならない。すなわち、これらのインタフェース盤は同一位相の0.2KHz周期の信号が必要となる。

【0017】ところが、従来の内線延長を行う通信装置では、8KHzを基準とした周波数同期をとっているものが多く、装置基準の位相同期をとるものではなく、上記したような0.2KHzや0.4KHzの位相同期をとっているものはなかった。

【0018】

【発明が解決しようとする課題】上記したように、通信装置内で0.4KHz周期までの信号を扱う既存の装置において、各インタフェース盤から送出するMビットマルチフレーム信号の位相を統一することは困難であるという問題があった。

【0019】更に、内線延長を行う複数の通信装置間で各インタフェース盤送出の0.2KHzのMビットマルチフレーム信号の位相を統一することは困難であるという問題があった。

【0020】本発明は内線延長の端末に接続する通信装置において、同一位相のマルチフレーム情報を生成するためのクロックソースを持っていなくとも複数の端末に対して同一位相のマルチフレームを生成可能にする通信システム内線延長方式を提供することを目的とする。

【0021】

【課題を解決するための手段】図1は本発明の第1の原理構成を示す。図中、1は0.4KHzと0.5KHzのクロックを発生する共通部、2はインタフェース盤を表し、#1～#4の4個を備える例を示し、各インタフェース盤2の中の20は公倍数検出回路、21は同期化生成部、22はMビットマルチフレーム生成部であり、1及び各インタフェース盤2は通信装置を構成する。図2は図1に示す構成における位相同期のとれたタイムチャートの例である。

【0022】共通部1から(1)、(2)に示すような位相の0.4KHzのクロックと0.5KHzのクロックが発生する。これらのクロックは#1～#4の各インタフェース盤2へ供給され、公倍数検出回路20へ入力される。公倍数検出回路20は2つのクロックパルスの周期の最小公倍数の位置を検出する。図2の例では、0.4KHzのクロックの4周期が0.5KHzのクロックの5周期と一致する。これは、0.4KHzの1周期の長

さ $T1=0.0025s$ と0.5KHzの1周期の長さ $T2=0.002s$ の最小公倍数0.01sであることが検出されて、0.01sの周期のクロックが発生し同期化生成部21に供給される。同期化生成部21では、この例では装置からの出力パルスの1準として装置内共通の0.4KHzを使用することで、各インタフェース盤の位相同期を取った0.2KHzの出力(図2の(3))、またはその反対位相を表す $*0.2KHz$ (図2の(4))を発生する。また、各クロックが図2に示すようにデューティが50/50の場合は、更に $T3=0.00125s$ と $T4=0.001s$ となり最小公倍数は0.005sとなる。これは図2の(2)に示す0.5KHzの波形に○印を付した個所となり、図2の(5)のように0.2KHzの周期となる。この位相同期のとれた0.2KHzのクロックをMビットマルチフレーム生成部22に供給することで、通信装置内の各インタフェース盤で同一位相のMビットマルチフレームの生成が可能となる。

【0023】なお、この第1の原理説明では、0.4KHzのクロックと0.5KHzのクロックが最初に同一位相になっているが、両者の間に位相差があっても、同様の原理により実現することができる(実施例参照)。

【0024】このように、既存装置においても従来から供給されている0.4KHzと0.5KHzのクロックより各インタフェース盤にて位相同期のとれた0.2KHzのクロックを生成することが可能になり、同一位相のMビットマルチフレーム信号を端末に送出することが可能となる。

【0025】図3は本発明の第2の原理構成を示す。図中、4は交換機、5、6は通信装置、5a、6aはインタフェース盤、5bはMビットマルチフレーム検出部、6bはMビットマルチフレーム生成部、7は端末である。

【0026】この第2の原理構成では、交換機に接続された内線延長のための通信装置5とこの通信装置5と伝送路で接続された通信装置6のそれぞれに、インタフェース盤5aと6aが搭載されている。交換機4からI.430のフレームフォーマットに従い、Mビットマルチフレームが挿入されており、通信装置5のインタフェース盤5a内のMビットマルチフレーム検出部5においてMビットマルチフレームを抽出し、その情報を通信装置5と通信装置6の間で伝送路を通してインタフェース盤6aに伝送する。インタフェース盤6aのMビットマルチフレーム生成部6bでは伝送路からのMビットマルチフレームの情報より、端末7のフォーマットに合わせたMビットマルチフレームを生成し、端末7へMビットマルチフレーム情報を伝達する。これにより、通信装置搭載の各インタフェース盤5a、6aが同様の手順で同一位相のMビットマルチフレーム生成が可能となる。

【0027】この第2の原理構成により、交換機からの

7

Mビットマルチフレームの情報をマスターとして各インタフェース盤でMビットマルチフレームの生成が可能となるため、同一装置の各インタフェース盤で同一位相のMビットマルチフレーム信号を端末に送出することが可能となる。

【0028】図4は本発明の第3の原理構成を示す。図中、6は端末側に設けられた通信装置（上記図3の符号6の通信装置に対応）、6cは複数個（図の例では#1～#3の3個）設けられたインタフェース盤、6dは本発明により設けられたクロック発生部、7は端末である。

【0029】クロック発生部6dは、複数（#1～#3）のインタフェース盤6cにて同一位相のMビットマルチフレームを生成するための基準となるクロックを発生する。すなわち、クロック発生部6dの周波数は0.2KHzもしくは0.2KHzの整数倍の周波数が望ましい。また、このクロックは装置クロック（交換機のクロックまたは通信装置6のクロック）に同期しているクロックである。発生した基準クロックを各インタフェース盤6cに供給し、各インタフェース盤6cではこれにより同一位相の0.2KHzを使用可能になり、各インタフェース盤6cで同一位相のMビットマルチフレームを生成することが可能になる。

【0030】図5は本発明の第4の原理構成を示す。図中、5は交換機に接続された通信装置、50は通信装置5内の基準クロック、51は基準クロックの位相情報送信手段、6、6'はそれぞれ一方が通信装置5と接続されて他方が端末と接続される通信装置、60、60'はそれぞれ通信装置6、6'内の位相情報受信手段、61、61'は各通信装置6、6'内の基準クロック発生手段である。

【0031】通信装置5内の基準クロックの位相情報を位相情報送信手段51から他の通信装置6、6'へ伝送路を介して送信する。通信装置6、6'では位相情報受信手段60、60'で受信するとその位相情報に従って基準クロック発生手段61、61'のクロック位相を調整して、それぞれの基準クロックを各装置内の各種クロックの基準位相として各装置内のインタフェース盤に供給し、この基準クロックをMビットマルチフレームの基準とする。これにより、各通信装置及び各インタフェース盤出力のI.430フォーマットにおけるMビットマルチフレーム位相を同一のものとすることができる。

【0032】

【発明の実施の形態】図6は実施例1の構成を示し、上記図1に示す第1の原理構成の通信装置1に接続されたインタフェース盤2に対応する。図中、20～22は上記インタフェース盤2の同じ符号の各部に対応し、公倍数検出回路20内の20a、20bはそれぞれ0.4KHz、0.5KHzのクロックのエッジ検出回路、20cは比較回路である。同期化生成部21の21aは1/2

8

分周回路、Mビットマルチフレーム生成部22の22aはMビット生成回路である。

【0033】図7は実施例1のタイムチャートの例である。図7の(1)、(3)に示す0.4KHzと0.5KHzの信号は位相同期が取れている信号であり、通信装置内の各インタフェース盤には同一信号が分配されている。図6のエッジ検出回路20a、20bは図7の(1)、(3)の信号のエッジすなわち、“H”から“L”への変化または“L”から“H”への変化を検出し、図7の(2)、(4)に示す出力を発生する。これらの検出出力は図6の比較回路20cで比較され、“H”のレベルが一致した場合だけ図7の(5)に示すように“H”を出力している。1/2分周回路21aは、0.4KHz（図7の(1)）の信号の立上り（“L”から“H”への変化）をクロック入力として分周を行い、更に分周出力位相を各インタフェース盤で同一とするために比較回路20cの出力（図7の(5)）によりリセットをかけて、図7の(6)の波形を持つ出力を発生している。なお、図7の(6)の例では、比較回路20cの出力が発生するタイミングでは1/2分周回路21aの状態はリセット状態であるため変化しない。これは、0.4KHzと0.5KHzの位相関係を各インタフェース盤で同一のため、比較回路20cの出力も各インタフェース盤で同一位相となり、そのパルスでリセットを周期的に行うことにより各インタフェース盤で同一位相の0.2KHz信号が生成される。

【0034】なお、この図7の(6)に示す0.2KHzの出力の(1)に示す0.4KHzとの位相関係は、上記図2の(3)の0.2KHzまたは(4)の*0.2KHzとは異なるが、各インタフェース盤の位相が一致すればよいので問題とならない。この各インタフェース盤で同一位相となる0.2KHz（図7の(6)）を用いて各インタフェース盤でMビットマルチフレームを生成することで通信システムを良好に保つことができる。

【0035】また、図7のタイムチャートの例では、(1)に示す0.4KHzの位相と(3)に示す0.5KHzの位相が先頭の位置で一致している例を示したが、両者の位相がずれていても、図6に示す構成により一致するタイミングを比較回路20cで検出して、同期化生成部21及びMビットマルチフレーム生成部22による上記の動作が実行される。

【0036】図8は実施例1の具体的な回路構成を示す。図中の各符号は上記図6の同一符号の各部に対応し、20は公倍数検出回路、20a、20bはそれぞれ0.4KHz、0.5KHzのクロックのエッジ検出回路、20cは比較回路、21は同期化生成部、21aは1/2分周回路、22はMビットマルチフレーム生成部、22aはMビット生成回路である。また、図9は図8の回路構成によるタイムチャートの例を示す。

【0037】図8の公倍数検出回路20において、エッ

ジ検出回路20a, 20bは同じ構成を備え、それぞれD型フリップフロップDF1, DF2と排他的論理和回路EXOR1, EXOR2とで構成され、D型フリップフロップDF1, DF2はデータ端子(Dで表示)に0.4KHz(図9の(1))と0.5KHz(図9の(3))が入力され、クロック端子に通信装置のマスタークロックである8MHzが入力され、各排他的論理和回路EXOR1, EXOR2は、入力信号の変化点で“H”出力を発生し(図9の(2),(4)), 各出力は比較回路20cのアンド回路(ANDで表示)へ入力されて一致が検出され、一致出力はD型フリップフロップDF3へ入力されて、8MHzに同期して駆動されD型フリップフロップDF3の反転極性の出力端子(-Q)から一致出力(図9の(5))が発生する。

【0038】図9の(5)に示す一致出力が発生する時の前後の詳細なタイムチャートを図9の(50)~(55)に示す。すなわち、8MHzのクロック(図9の(50))により、0.4KHz(図9の(51))と0.5KHz(図9の(53))の変化に対しエッジ検出回路20a, 20bから図9の(52),(54)のパルス状の出力が発生して、比較回路20cから図9の(55)のパルス出力が発生する。

【0039】同期化生成部21の1/2分周回路21aでは、D型フリップフロップDF4のクロック端子に0.4KHzが入力されてその立上りで駆動され、分周動作を行い、前段の公倍数検出回路20の比較回路20cからの出力でリセットされる。但し、このタイムチャートの例では、リセット状態の時に比較回路20cからの出力が発生するため変化しない。

【0040】図8のMビット生成回路22aは、2段のD型フリップフロップDF5, DF6とアンド回路ANDで構成される。各D型フリップフロップDF5, DF6はクロック端子に図9の(7)に示す*8KHzが入力され、各データ入力端子(D)に前段の出力が供給される。この結果、D型フリップフロップDF1のデータ入力端子Dに1/2分周回路21aからの図9の(6)に示す“H”の信号が入力すると、アンド回路ではD型フリップフロップDF6の反転出力(-Q)と1/2分周回路21aのD型フリップフロップDF4の出力の論理積が取られるため、図9の(8)に示すように*8KHzの2個のクロック期間だけ“H”出力が発生する。この信号がMビットとして端末インタフェース回路へ供給される。この例では、MビットのI.430対応の1フレーム幅は8KHzフレームの2フレーム幅に相当するため8KHzの信号を使用し、MビットはI.430対応のフレームの20フレームの中の1フレームに対して

“1”となり、他の19フレームのMビットは“0”となり(図20参照)、そのMビットマルチフレームの生成例を図9の(8)に示す。なお、I.430対応の20フレーム(1フレーム=250μs)は8KHzフレームの40フレーム(1フレーム=125μs)に相当

し、8KHzフレームの場合では1フレームのMビットだけ“1”で他の39フレームのMビットは“0”である。

【0041】また、図8の構成では回路を簡略化して示しているが、すべてのD型フリップフロップを同一のクロックで動作させる等の同期化の構成を備えていれば具体化する上で変化することができる。最終的に各インタフェース盤では各盤で同一位相のMビットマルチフレーム信号に基づき端末側へ端末間インタフェースの信号を全盤で同一位相で送出することが可能となる。これにより、端末すなわち無線基地局と無線端末間においても同一システム内の基地局は同一位相で無線端末と通信を行うことが可能となる。

【0042】さらに、図9のタイムチャートの例では、上記図7のタイムチャートと同様に、(1)に示す0.4KHzの位相と(3)に示す0.5KHzの位相が先頭で一致している例であるが、両者の位相が異なっている場合にも、一致する時点を検出する(時間をかけることで自然に発生する)ことができ、上記図6と同様の動作を実行することができる。

【0043】図10は実施例2の構成を示す。この実施例2は上記図3に示す本発明の第2の原理構成に対応し、図10の各符号は図3の同一符号の各部に対応し、5, 6は通信装置、5a, 6aはインタフェース盤、5bはMビットマルチフレーム検出部、6bはMビットマルチフレーム生成部である。図11は実施例2の通信装置間の伝送路上のデータ構成である。

【0044】通信装置5のインタフェース盤5aは交換機からI.430のフレームの構成でデータ(2B+D:64K×2CH+16K)とMビット等の付加情報が入力される。この信号はインタフェース盤5aの2B+D受信部52で受信され、Mビットが分離されMビットマルチフレーム検出回路54へ入力される。インタフェース盤5aはこの信号を伝送路を介して通信装置6へ送信するため、伝送路フォーマット変換部53で2B+Dのフォーマットへ変換して挿入部55へ入力する。この挿入部55でMビットマルチフレーム検出回路54で検出されたMビットの情報を挿入して伝送路へ送出する。

【0045】図11に示すデータ構成を説明すると、伝送路上では64Kbit/sの情報を8KHz1フレーム周期に8ビットの情報として通信しており、これを1タイムスロットと呼ぶ。伝送路上ではタイムスロット単位の通信となるので2B+Dきの情報は3タイムスロット要する。この場合、図11に示すように6ビットの空きが生じる。この空きビットにMビットマルチフレーム情報を挿入する。

【0046】図10の通信装置6のインタフェース盤6aは、図11に示す伝送路のデータを受信すると、端末フォーマットへの変換部62で伝送路フォーマットを端

11

末フォーマットへ変換すると同時に、Mビットマルチフレーム生成回路64が空きビットに挿入されてきたMビットマルチフレームの情報を基にMビットマルチフレームを生成し、2B+D送信部63で端末フォーマットへ変換された信号にMビットマルチフレーム信号を設定してI.430のフレームフォーマットで端末へ送出される。

【0047】図12は実施例3の構成を示す。この実施例3は、上記図4に示す本発明の第3の原理構成に対応し、その中の端末側の通信装置6のクロック信号関係の構成である。図12において、6c、6dは上記図4の同じ符号の各部に対応し、6cは複数個(#1~#3)設けられたインタフェース盤、6c1は同期化0.2K生成回路(SYNC0.2Kと表示)、6dはクロック発生部、6d1は0.2Kクロック発生器(0.2KENと表示)である。

【0048】この実施例3は、端末側の通信装置にクロック源を持ち位相を統一する回路を基準クロックがなくても自走し続けるタイプの回路で構成した。すなわち、従来の通信装置が備える0.4KHzのクロックを利用して、クロック発生部6dの0.2KHzのクロック発生器6d1から0.2KHzを生成し、装置内の0.2K基準クロック(0.2KRefで表示)として装置内の各インタフェース盤6cに供給する。各インタフェース盤6cでは装置0.4KHzのクロックと0.2K基準クロックを入力して各インタフェース盤で同一位相の0.2KHzを生成する。この機能は、各インタフェース盤内の同期化0.2K生成回路6c1により実現される。

【0049】図13は実施例3(図12)の構成におけるクロックを中心とする回路構成を示す。図中の各符号は上記図12の同一符号の各部に対応し、6c1は同期化0.2K生成回路、6d1は0.2Kクロック発生器である。図14は図13の回路構成による動作を説明するタイムチャートの例である。

【0050】図13の0.2Kクロック発生器6d1には、図14の(1)に示すようなデューティ比が50/50の装置0.4Kのクロックが入力されると、0.4KクロックはD型フリップフロップDF1で1/2に分周されて図14の(2)に0.2KRef(出力)として示すような0.2KHzを生成する。これが図14の(3)に0.2KRef(入力)として示すような装置内0.2K基準クロックとして各インタフェース盤に入力される。図13のインタフェース盤内の同期化0.2K生成回路6c1はエッジ検出回路65において装置8Mクロック(装置8MCLKで表示)と、0.2KRefとが入力されて、D型フリップフロップDF2及びアンド(AND)回路とによりエッジ検出(微分)を行い、図14の(4)にエッジ検出(α)として示すように0.2KHz周期のパルスを生成する。この回路ではパルス幅

12

は8Mクロック1相分である。このエッジ検出出力は次に図13の1/2分周回路66へ入力されて、装置0.4Kのクロックを分周するD型フリップフロップDF3にリセットをかけて同期化を行う。

【0051】ここで、1/2分周回路66でもしエッジ検出(α)のパルスが入力されないと、図14の(5)に示す0.2KCLK(β)と(6)に示す0.2KCLK(β')の2種の位相の分周クロックが発生する可能性がある。ここで、図13中の1/2分周回路に、エッジ検出(α)でリセットをかけることで同期化が実現される。これにより、図14の(7)に示す0.2KCLK(γ)が生成される。これは、図14の(3)、(4)に示す0.2KRefと常に一定の位相関係を保つものであり、各インタフェース盤で同一回路を持つことで各インタフェース盤で同一位相の0.2KCLK(γ)が生成されることとなる。各インタフェース盤ではこのクロックを基にMビットマルチフレームを生成することにより、同一位相のMビットマルチフレーム生成が可能になる。

【0052】図15は実施例4の構成を示す。この実施例4は、上記図5に示す本発明の第4の原理構成に対応する。図15において、5aは伝送路インタフェース盤、6aは伝送路インタフェース盤であり、5、50、51、6、6'、60、60'、61、61'の各符号は上記図5の同じ符号の各部に対応し、5は交換機に接続されたマスターとなる通信装置、50は装置クロックに同期した0.4KHzの基準クロック発振器、51は位相情報を送信するための20マルチフレームの生成回路、6、6'は端末側の通信装置、60、60'は位相情報を受信する20マルチフレームの同期回路、61、61'は位相調整可能な0.4KHzの発振器である。

【0053】図15において、0.4KHzの基準クロック発振器50からのクロックは、伝送路インタフェース盤5aに入力される。伝送路インタフェース盤5aでは0.4KHzを基に20マルチフレーム生成回路51で20マルチフレームパターンを生成する。この20マルチフレームは公知のものであり、伝送路においてシグナリング等のステータス情報を伝送するために使用されており、本実施例ではこの20マルチフレーム情報を基準の0.4KHzの基準クロックを基に生成して伝送することにより0.4KHzの位相情報を伝送する。生成された20マルチフレームのパターンは伝送路送出のタイムスロットに挿入され、通信装置6、6'に送出される。この時、伝送路インタフェース盤5a'も基準の0.4KHzを基準に同一位相で出力する。通信装置6、6'では、伝送路インタフェース盤6a、6a'で伝送路より20マルチフレームの情報を抽出し、20マルチフレームの同期回路60、60'に入力する。

【0054】同期回路60、60'では20マルチフレームをとることによりフレームビットの位相を検出する。

送信側で同位相でフレームを生成することにより、検出したフレーム位相の同一性が保たれる。また、8Kフレームの20マルチフレームであるので0.4KHzの位相が同一の信号が各装置で得られる。これを基準として、位相調整が可能な0.4KHzの発振器61、61'に位相同期をかけ、これにより各装置内で、0.4KHz以下のクロックは同一位相が保証される。これらの装置内クロックと、上記本発明の第1の原理構成に示す手段(公倍数検出による同期化回路)と第3の原理構成に示す手段(端末側のインタフェース盤に基準クロック発生器を設ける)を用いることにより各インタフェース盤にてMビットマルチフレーム位相が同一の1.430のフレームが各装置、各インタフェース盤から送出が可能となる。

【0055】図16は実施例5の構成を示す。この実施例5も上記図5に示す本発明の第4の原理構成に対応する。図16において、5、5a、50、51、6、6a、6'、60、60'、61、61'の各符号は上記図5の同じ符号の各部に対応し、5は交換機に接続されたマスター側の通信装置、5aは伝送路インタフェース盤、50は装置クロックに同期した0.4KHzの基準クロック発振器、510はサンプリング同期用カウンタ回路、6、6'は端末側(またはスレーブ側)の通信装置、6a、6a'は端末側のインタフェース盤、600、600'はカウンタ601、601'と比較器602、602'により構成されたサンプリング同期回路、61、61'は位相調整可能な0.4KHzの発振器である。

【0056】図16において、0.4KHzの基準クロック発振器50と0.4KHzの発振器61、61'の周波数は、0.4KHzもしくは0.4KHzの整数倍であり、0.2KHzである場合を含む。

【0057】図17は実施例5によるタイムチャートの例であり、以下に図16を参照しながら説明する。

【0058】この実施例5では、公知の電力の交流波の位相を合わせるサンプリング同期の方式を応用して各装置及び各インタフェース盤出力のMビットマルチフレームを同一位相に合わせるものである。

【0059】通信装置5の基準クロック発振器50で生成する0.4KHzの基準クロックは、伝送路インタフェース盤5a内で位相の情報が伝送路のタイムスロットを通し、端末(スレーブ)側の通信装置6、6'に送られる。端末(スレーブ)側の通信装置6、6'からも0.4KHzの発振器61、61'の位相の情報が伝送路を介してマスター側の通信装置5に送られ、これと同時にインタフェース盤6a、6a'内のサンプリング同期回路600、600'のカウンタ601、601'にも供給される。マスター側の通信装置5内のサンプリング同期用のカウンタ510では、送信する基準クロック発振器50の位相と伝送路を通して受信した、発振器61

または61'の位相の位相差を装置クロックにてカウントする。

【0060】この装置クロックは装置基準クロックに同期したクロックであり、基準クロック発振器50に対し十分速度の早いクロックであり、この例では4MHz以上が望ましい。

【0061】この位相差を図17により説明する。図17の(2)はマスターの通信装置5のカウンタ510の動作を示す。まず、基準クロック発振器50の立ち上がりのエッジの情報をカウンタに入力する。すなわち、図17の(1)のfM0.2Kとして示す立ち上がりのエッジのポイントである。次に、スレーブ(端末)側の発振器61、61'の位相情報を受信して入力する。図17において(4)の「fs調整前」の立ち上がりエッジの情報が図17の(3)に示す「スレーブ通信装置」の波形に「fs前」と示すポイントであり、伝送路を通して遅延してマスター通信装置(図17の(2))に到達する。図17では②で示す。よって、図16の通信装置2における「fM0.2K」の送信位相と「fs調整前」の受信した位相は図17において「TM」(マスター側のT)と記された幅となり、これを図16のカウンタ510で数値化する。一方、図16の通信装置6、6'内でも同様に送信「fs調整前」と受信「fM0.2K」の位相差を図16のサンプリング同期回路600、600'内のカウンタ601、601'で数値化する。図17では「TS」(スレーブ側のTを意味する)と記されている。このカウンタも、マスター側通信装置5内のカウンタ510、510'と同一周波数のクロックによりカウントされる。ここで、カウンタ510、510'でのカウント値は伝送路のタイムスロットを通して端末(スレーブ)側の通信装置6、6'の比較器602、602'に入力される。また、端末(スレーブ)側の通信装置6、6'の各サンプリング同期回路600、600'でカウントしたカウント値も比較器602、602'に入力される。

【0062】この比較の結果、「TM」が「TS」よりも大きい時は、スレーブ側の発振器61の位相を前に移動し、「TM」が「TS」よりも小さい時はスレーブ側の発振器61の位相を後ろに移動させ、「TM」が「TS」と等しい時はスレーブ側の発振器61の位相を変化させない。図17では、「TM」が「TS」よりも大きい時は、スレーブ側の発振器の位相を前に移動する状態を例として示しており、結果として図16のスレーブ(端末)側の発振器61の位相が、「fs微調整後」に移動することを示している。このようなDPLL(Digital Phase Lock Loop)の動作により図16のマスター側の基準クロック発振器50と、スレーブ(端末)側の発振器61の位相が一致するよう調整される。また、発振器61'も同様に基準クロック発振器50と位相が一致するよう調整される。この結果、発振器61と発振器6

1' が同一の位相になるよう調整される。

【0063】この動作により各通信装置内で基準とてクロックの位相が同一となるため、各インタフェース盤にて端末に対し同一位相のMビットマルチフレームを送出可能となる。なお、この実施例5(図16、図17)は上記の実施例4(図12乃至図14)に比べて伝送遅延時間差のあるシステムに有効である。

【0064】

【発明の効果】本発明によれば、内線延長の端末に接続する通信装置において、その装置が既存の装置であって端末で必要とする各端末へ同一位相のマルチフレーム情報を生成するためのクロックソースを持っていないとも通信装置において同一位相のマルチフレームを生成可能となるため、内線延長であっても交換機と直接、つながる端末と同様のサービスを同様の品質で提供できることが可能になり通信システムのサービス性及び品質を向上することができる。

【0065】また、内線延長が複数の通信装置により複数の場所に内線延長を行う場合でも端末の必要とする同一位相のマルチフレームを生成可能であるため、内線延長でも交換機と直接接続された端末と同様のサービスを同様の品質で提供することができる。

【0066】更に、この複数の通信装置により複数の場所に内線延長を行うシステムは、直接交換機により引き出せる端末への距離を考慮しないで、交換機と直接接続と同等の品質に保てる無線携帯端末のサービスエリアを自由に拡大可能とすることができる。また、交換機の持つ加入者回路の数を無駄なく使用することが可能となる。

【0067】以上により、通信システムのサービス向上、品質向上、更にコストパフォーマンスの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の原理構成を示す図である。

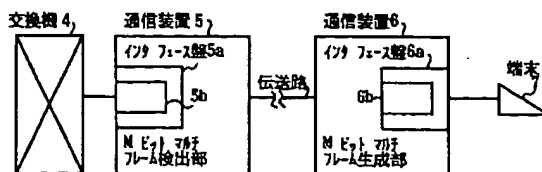
【図2】図1における位相同期のとれたタイムチャートの例を示す図である。

【図3】本発明の第2の原理構成を示す図である。

【図4】本発明の第3の原理構成を示す図である。

【図3】

本発明の第2の原理構成



【図5】本発明の第4の原理構成を示す図である。

【図6】実施例1の構成を示す図である。

【図7】実施例1のタイムチャートの例を示す図である。

【図8】実施例1の具体的な回路構成を示す

【図9】図8の回路構成によるタイムチャートの例を示す。

【図10】実施例2の構成を示す図である。

【図11】実施例2の通信装置間の伝送路上のデータ構成を示す図である。

【図12】実施例3の構成を示す図である。

【図13】実施例3の構成におけるクロックを中心とする回路構成を示す図である。

【図14】図13の回路構成による動作を説明するタイムチャートの例を示す図である。

【図15】実施例4の構成を示す図である。

【図16】実施例5の構成を示す図である。

【図17】実施例5によるタイムチャートの例を示す図である。

【図18】内線延長の説明図である。

【図19】端末インタフェースのフォーマットの規格の一部を示す図である。

【図20】Mビットに関する I-430 の規格の一部を示す図である。

【図21】Mビットマルチフレーム信号を使用するシステムの例を示す図である。

【図22】交換機に直接端末が接続された構成例を示す図である。

【図23】複数の端末を通信装置に収容する例を示す図である。

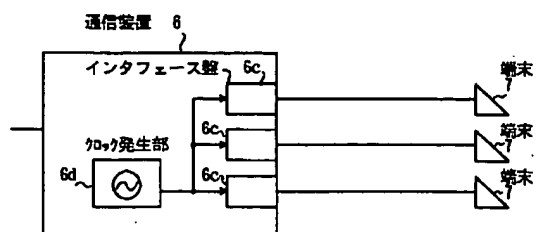
【図24】複数の内線延長の通信装置によりシステムを構成した例を示す図である。

【符号の説明】

- 1 共通部
- 2 インタフェース盤(# 1 ~ # 4)
- 20 公倍数検出回路
- 21 同期化生成部
- 22 Mビットマルチフレーム生成部

【図4】

本発明の第3の原理構成



【図1】

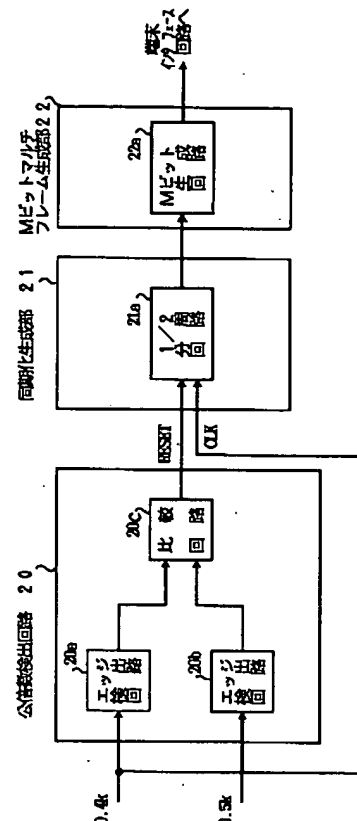
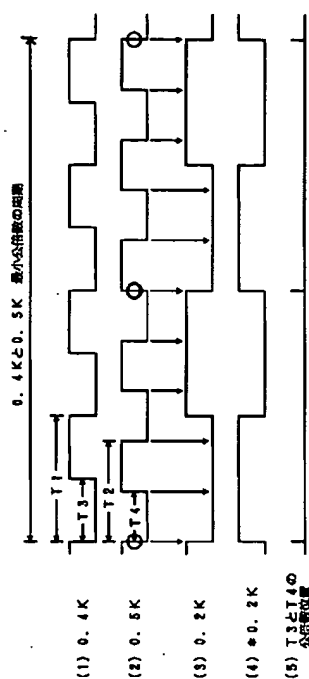
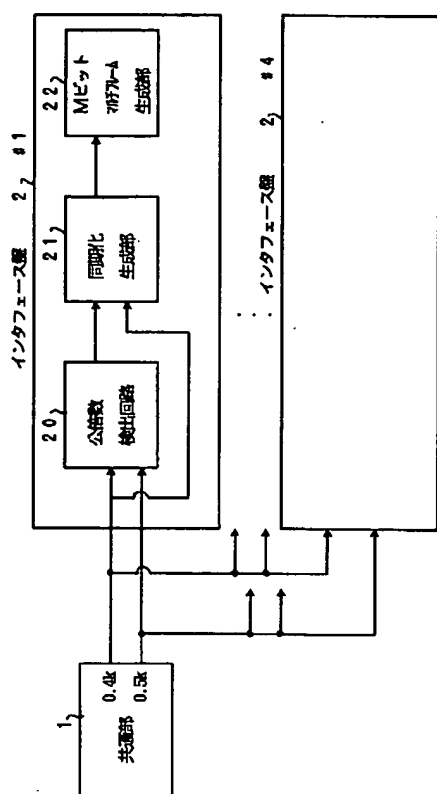
【図2】

【図6】

本発明の第1の原理構成

図1における位相同期のとれた
タイムチャートの例

実施例 1 の構成

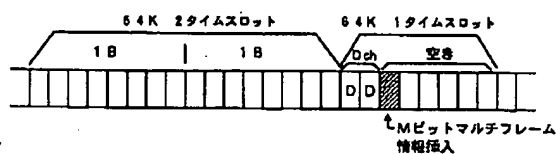
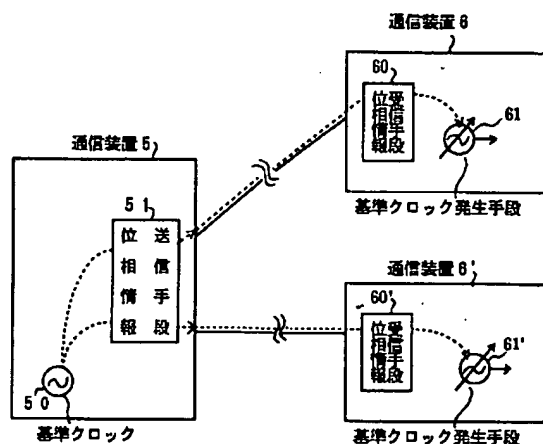


【図5】

【图 1-1】

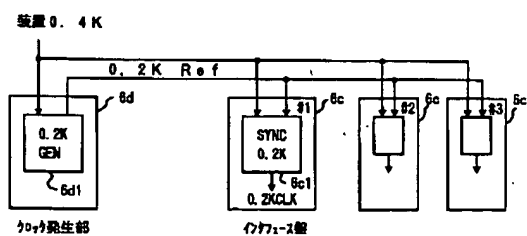
本発明の第 4 の原理構成

実施例 2 の通信装置間の伝送路上のデータ構成



【图 12】

実施例 3 の構成



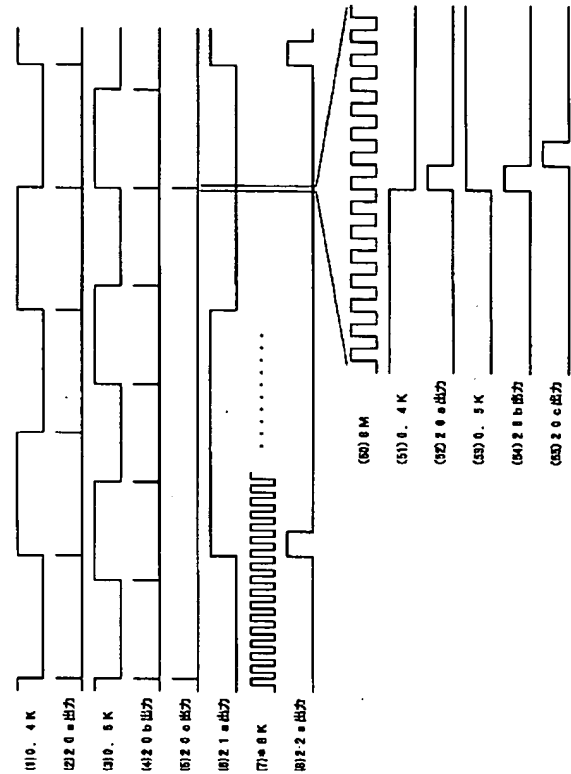
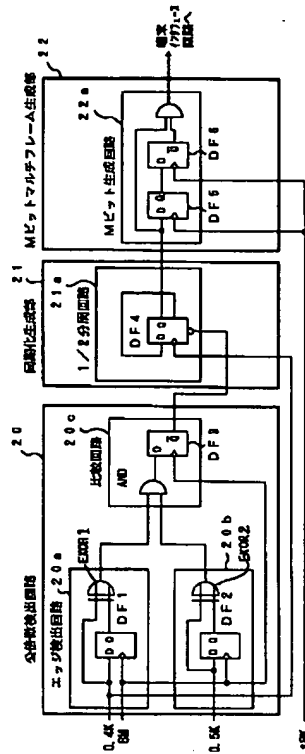
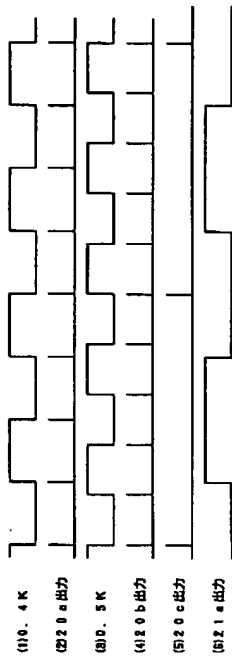
【図7】

【図8】

【図9】

実施例 1 のタイムチャートの例 実施例 1 の具体的な回路構成

図 8 の回路構成によるタイムチャートの例

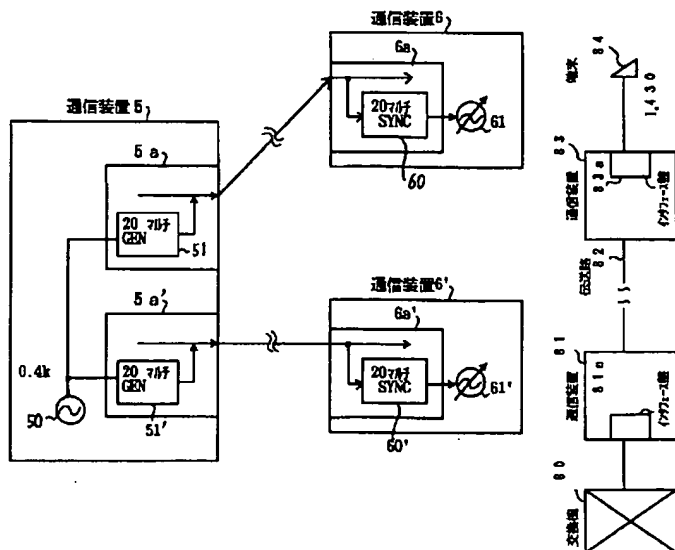


【图 15】

【図18】

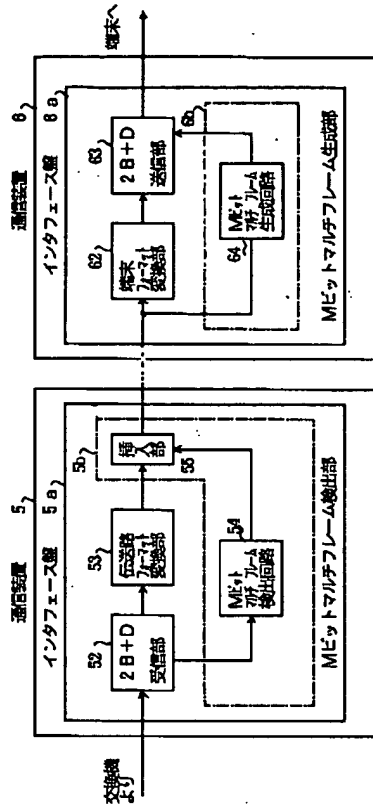
実施例 4 の構成

内線延長の説明図

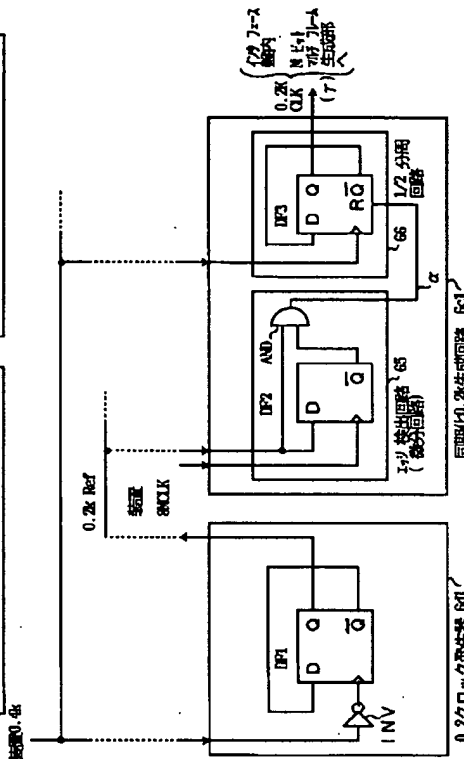


【図10】

実施例2の構成

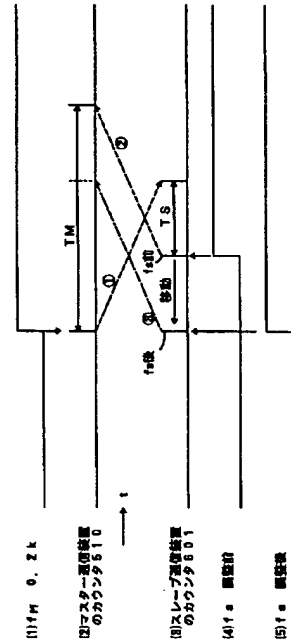


【図13】

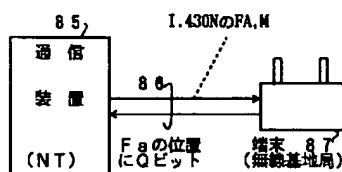
実施例3の構成におけるクロック
を中心とする回路構成

【図17】

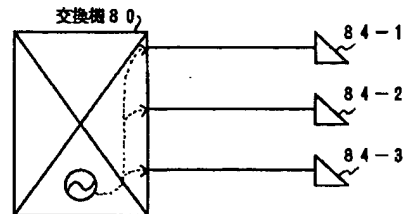
実施例5によるタイムチャートの例



【図21】

Mビットマルチフレーム信号を
使用するシステムの例

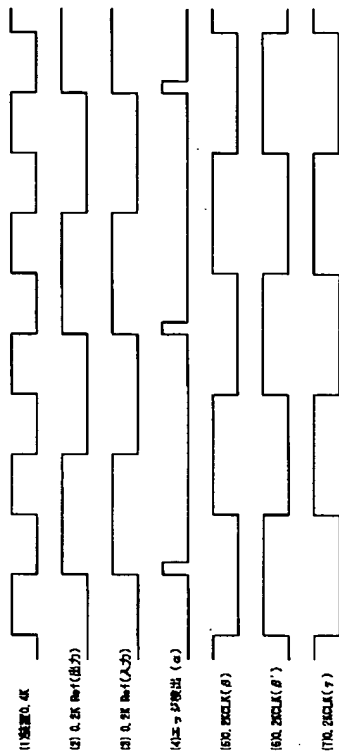
交換機に直接端末が接続された構成例



【図22】

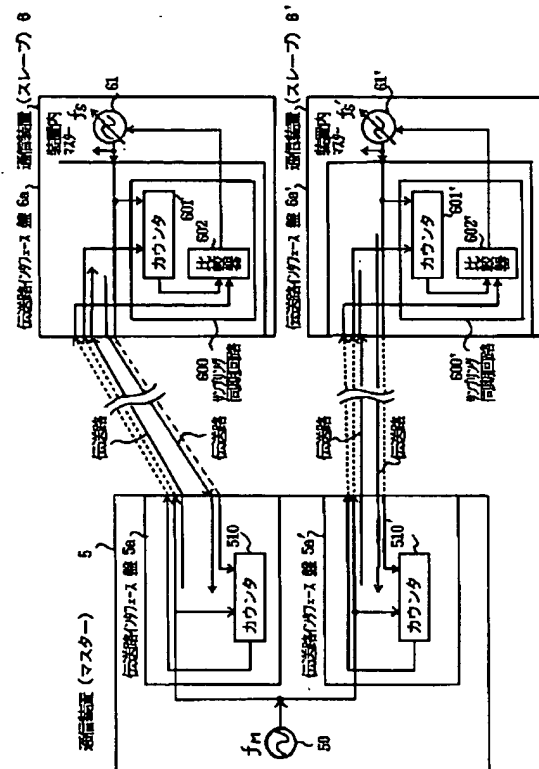
【図14】

図13の回路構成による動作を
説明するタイムチャートの例



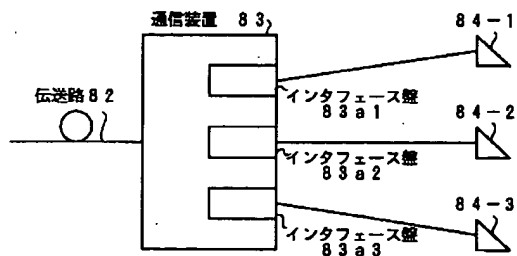
【図16】

実施例5の構成



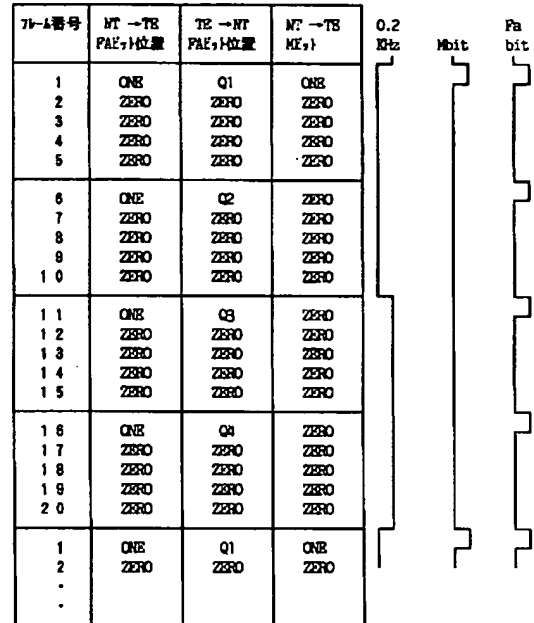
【図23】

複数の端末を通信装置に収容する例



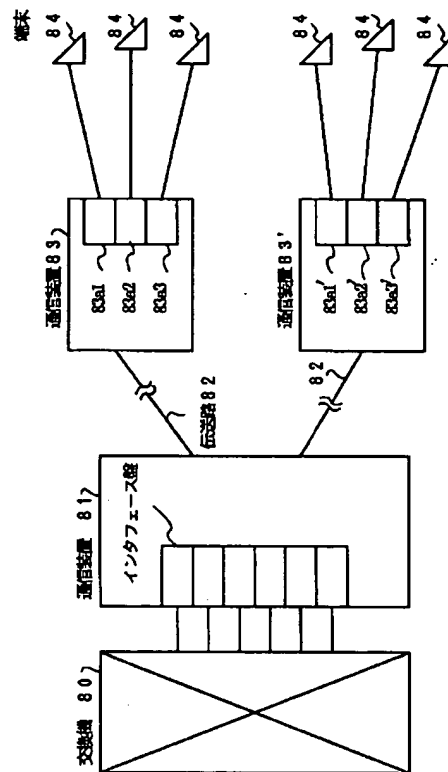
【図20】

Mビットに関する I. 430 の規格の一部



【図24】

複数の内線延長の通信装置
によりシステムを構成した例



フロントページの続き

Fターム(参考) 5K030 GA08 GA11 GA19 HB15 HC04
 HC13 JL08 JT02 JT09 KA14
 LA15 LB13
 5K047 AA11 AA15 BB11 GG02 GG09
 GG24 GG44 HH02 MM02 MM11
 5K051 AA09 DD07 DD13 JJ09 JJ12